

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : **2004-319552**

(43)Date of publication of application : **11.11.2004**

(51)Int.Cl.

H01L 21/338

H01L 23/34

H01L 29/778

H01L 29/812

(21)Application number : **2003-107259**

(71)Applicant : **NICHIA CHEM IND LTD**

(22)Date of filing : **11.04.2003**

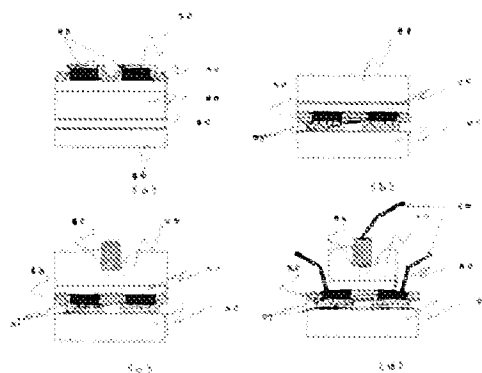
(72)Inventor : **OOMAKI YUJI  
HAYAMURA MITSUO  
TANIMOTO SHINJI**

## (54) FLIP-CHIP COUNTER-ELECTRODE HEMT

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To make a flip-chip facing-electrode HEMT having excellent heat radiating characteristics applicable to a large quantity of electric energy and, at the same time, to improve the electrical characteristics of the HEMT, by reducing the occurrence of inter-electrode short-circuiting and improving the withstand voltage of the HEMT and, in addition, reducing off-currents/leakage currents, improving the amplification factor (gm), and so on.

**SOLUTION:** In the flip-chip facing-electrode HEMT, a source electrode 41 and a drain electrode 41 covered with protective films 42 are bonded to the surface of a heat-conductive substrate 47 with a bonding agent. In addition, a gate electrode 48 is provided on the rear surface of the substrate 47 opposite to the placing surface of the substrate 47 on which the source and drain electrodes 41 and 41 are placed. At least, part of the rear surface of the substrate 47 on which the gate electrode 48 is placed has a recessed section formed by removing a buffer layer and the gate electrode 48 is placed in the recessed section.



JP 2004-319552 A 2004.11.11

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-319552

(P2004-319552A)

(43) 公開日 平成16年11月11日(2004.11.11)

(51) Int. Cl. <sup>7</sup>	F I	テーマコード (参考)
H01L 21/338	H01L 29/80	5F036
H01L 23/34	H01L 23/34	5F102
H01L 29/778	H01L 29/80	
H01L 29/812		

審査請求 未請求 請求項の数 10 O L (全 15 頁)

(21) 出願番号	特願2003-107259 (P2003-107259)	(71) 出願人	000226057 日亜化学工業株式会社 徳島県阿南市上中町岡491番地100
(22) 出願日	平成15年4月11日(2003.4.11)	(72) 発明者	大巻 雄治 徳島県阿南市上中町岡491番地100 日亜化学工業株式会社内
		(72) 発明者	早村 光雄 徳島県阿南市上中町岡491番地100 日亜化学工業株式会社内
		(72) 発明者	谷本 真士 徳島県阿南市上中町岡491番地100 日亜化学工業株式会社内
		Fターム(参考)	5F036 AA01 BB01 BC05 BD01

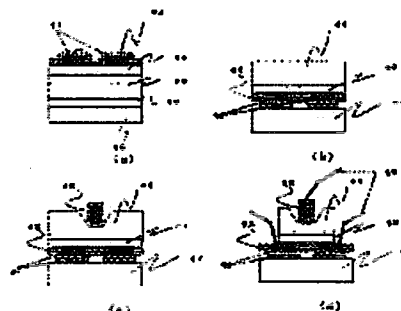
最終頁に続く

(54) 【発明の名称】 フリップチップ型対面電極HEMT

(57) 【要約】 (修正有)

【課題】大電力トランジスタは放熱性が悪く、破壊されやすかった。さらに、素子結晶成長時のバッファ層からリーク電流やoff電流が流れる問題があった。

【解決手段】保護膜42で覆われたソース電極41及びドレイン電極41が熱伝導性基板47上に接着材を介して接着されており、ゲート電極48がソース電極及びドレイン電極が載置される載置面に対向する裏面側に設けられ、ゲート電極が載置される前記裏面側の少なくともその一部がバッファ層を除去した凹部を有すると共に、その凹部にゲート電極が載置されるトランジスタである。



【選択図】 図4

(2)

JP 2004-319552 A 2004.11.11

## 【特許請求の範囲】

## 【請求項 1】

少なくとも 2 つ以上の電極を有し、保護膜で覆われ接着剤を介して熱伝導性基板に接着される 1 つ以上の第一の電極と、該第一の電極とは異なる面側に載置された第二の電極を有することを特徴とする半導体装置。

## 【請求項 2】

前記第二の電極が載置される第一の電極とは異なる面側が、前記第一の電極が載置される載置面に対する対向面側であることを特徴とする請求項 1 記載の半導体装置。

## 【請求項 3】

前記第一の電極がソース電極又は／及びドレイン電極であり、前記第二の電極がゲート電極である請求項 1 及び請求項 2 記載の半導体装置。

## 【請求項 4】

前記第二の電極が少なくともパッファ層の一部又は全部を除去してなる部位に載置される請求項 1 乃至請求項 3 記載の半導体装置。

## 【請求項 5】

前記第二の電極が載置される部位が凹部である請求項 1 乃至請求項 4 記載の半導体装置。

## 【請求項 6】

少なくとも保護膜で覆われたソース電極及び／又はドレイン電極の一部／又は全部が熱伝導性基板上に接着剤を介して接着されていることを特徴とする窒化物系半導体材料からなるトランジスタ。

## 【請求項 7】

ゲート電極が前記ソース電極又は／及びドレイン電極が載置される載置面とは異なる面側に設けられることを特徴とする請求項 6 記載のトランジスタ。

## 【請求項 8】

前記ゲート電極が載置される、前記ソース電極又は／及びドレイン電極が載置される載置面とは異なる面側の少なくともその一部が凹部を有すると共に、該凹部に該ゲート電極が載置されていることを特徴とする請求項 7 記載のトランジスタ。

## 【請求項 9】

前記ゲート電極がパッファ層の少なくとも一部を除去した部位に載置される請求項 7 乃至請求項 8 記載のトランジスタ。

## 【請求項 10】

前記保護膜が少なくともニオブ酸化膜を含む絶縁膜を含有する請求項 1 乃至請求項 9 に記載の半導体装置又はトランジスタ。

## 【発明の詳細な説明】

## 【0001】

## 【発明の属する技術分野】

本発明は、フェイスダウン構造を持つフリップチップ型高移動度トランジスタに関わり、特に電極が異なる面に形成されたパワー HEMT 構造に関する。

## 【0002】

## 【従来の技術】

近年のマイクロ波、ミリ波帯を使用する情報通信システムの実用化への要求は、通信回線数の増大とあいまって急速に増大・進展しつつある。このような高周波用通信機器には、電気特性が優れているだけでなく、小型であること、すなわち、より集積度合いの高い半導体装置を作製することが要求されている。そこで従来ボンディングワイヤの接続に必要なパッド部面積を低減させる目的で、図 1 に示すようなフリップチップ構造をもつ半導体装置が考案されている。このようなフリップチップ構造を持つことにより、半導体基板 1 とアセンブリ基板 2 を接続するために必要な面積は新たに発生せず、半導体装置が小型化できる。半導体基板 1 は、主面に HEMT 5、伝送線路用信号線 14、パンプ電極 4 等が形成され、裏面に伝送線路用グラウンドパターンあるいは HEMT 用グラウンドパターン 3 等が形成されている。伝送線路用信号線 14 は、グラウンドパターン 3 とペアでマイク

(3)

JP 2004-319552 A 2004.11.11

ロストリップ線路を形成している。さらにはまた、コストダウン等を目的として図2(a)、(b)に示すようなフリップチップ型HEMTが提案されている。図2に示す半導体装置ではHEMT5と線路6aが形成された半導体基板1と、グラウンドパターン6bを持つアセンブリ基板2とから構成され、半導体基板1とアセンブリ基板2とは、微小な突起状電極(パンプ電極)4で接続されたフリップチップ型となっている。図2において、半導体基板1はガリウム砒素等の半絶縁性材料からなり、その上には能動素子であるHEMT5、伝送線路の信号線6a、MIM(Metal Insulator Metal)キャパシタ7、HEMT用バイアス回路16等が形成されており、アセンブリ基板2上の半導体基板対向部グラウンドパターン6bを含めて、機能回路ブロックを形成している。HEMT5中の参照番号15は、HEMTのグラウンドであるソース端子間を接続するブリッジである。このような構造により工程が簡便で、レイアウト自由度の大きなHEMT装置を作製できるとされてきた。

【0003】

【発明が解決しようとする課題】

しかし、従来のフリップチップ型HEMTはGaAs系材料からなる半導体装置の集積度を向上させる目的の下に考案されている半導体装置であるため、主としてパワーHEMT系に用いられる大電力用の窒化物系半導体材料( $\text{Al}_x\text{In}_y\text{Ga}_{1-x-y}\text{N}$  ( $0 \leq x \leq 1$ ,  $0 \leq y \leq 1$ ,  $0 \leq x+y \leq 1$ ))を含有するHEMTに顕著な課題である、発熱に対する問題は解決されていない。すなわち、大電力パワーHEMTにおいては、大電力に伴う大量の熱が発生するため、HEMT自身の発生した熱によりHEMT素子特性に少なからぬ悪影響を及ぼすことが問題となってきた。特に窒化物系半導体材料の場合には典型的には基板としてサファイアを用いるが、サファイア基板を通じた放熱では、パワーHEMTから発生する熱を十分に放熱させるには不十分であり、蓄積された熱によりHEMTが長時間高温にさらされ、その結果素子破壊などが生じる場合があった。さらには、ソース、ドレイン、ゲートの各電極を同一面に近接して設けているため、同一電極形成面に対してソース・ドレイン電極形成フォトリソグラフィとゲート電極形成フォトリソグラフィとのそれぞれ異なる電極形成工程を実施する必要があり、工程が複雑になるだけでなく、相当の精度を要求されるフォトリソ工程のため収率にも悪影響があると共に、フェイスダウンによりさらに電極間のショート等の問題も新たに発生する懸念が生じてくる。一方、各電極間のショートを避けた耐電圧性能を向上させるためには電極間隔をある程度離す必要もあった。しかし、電極間の距離を大きくすると抵抗が大きくなり、とりわけソース・ゲート電極間隔を大きく離す設計とすることにより、トランジスタの相互コンダクタンス(増幅特性、通称『gm』)が低下し、結局HEMTとしての素子特性が低下する懸念が指摘されるにいたっている。

加えて、窒化物系半導体材料からなるHEMTの場合には、チャネル電流が流れるバルクGa<sub>0.5</sub>N層への空乏層の広がり方が鈍く、結果として充分なソース・ドレイン間電流の遮断が機能せず、閾値電圧の制御等に問題があった。すなわち、図3に示すようなGa<sub>0.5</sub>N系材料HEMTでは窒素空孔等による残留キャリア濃度が相当あることが知られており、これによりn型導電性を示すためゲートoff時においても、off電流がバルクGa<sub>0.5</sub>N層内を流れてしまうと考えられている。本来、ゲートoffバイアス時の電流は完全遮断されることが望ましいことはいふまでもない。このようなoff電流やあるいはリーク電流の原因としては、上記以外にもサファイア基板とバルクGa<sub>0.5</sub>N層との間に設けられるパッファ層に起因すると考えられるものもあり、すなわち結晶性の悪いパッファ層内をリーク電流が流れる等によるものが推察されており、これらのoff電流やあるいはリーク電流の低減が窒化物系半導体材料を含むHEMTの大きな課題となっていた。

【0004】

本発明は、上記問題点を鑑みなされたものであり、放熱特性が優れ、大電力への適用を可能とすると共に、電極間ショート低減と耐電圧性向上の問題を解消させ、さらにはoff電流/リーク電流の低減や、増幅率(gm)を向上させるなど素子電気特性の向上を実現するとともに、工程の簡便な高集積化が容易な、窒化物系半導体材料( $\text{Al}_x\text{In}_y\text{Ga}$

(4)

JP 2004-319552 A 2004.11.11

$1-x-yN$  ( $0 \leq x \leq 1$ ,  $0 \leq y \leq 1$ ,  $0 \leq x+y \leq 1$ ) を含有するパワー HEMT にも適用可能な半導体装置を提供することを目的とする。

【0005】

【特許文献1】

特開2002-110737

【0006】

【課題を解決するための手段】

請求項1に記載の発明は、少なくとも2つ以上の電極を有する半導体装置において、保護膜で覆われ接着剤を介して熱伝導性基板に接着される1つ以上の第一の電極と、該第一の電極とは異なる面側に載置された第二の電極を有する半導体装置である。

10

この構成により、第一の電極を通して半導体装置本体の熱が有効に熱伝導性基板に放熱され、第二の電極と第一の電極間のショートやリークが精密な半導体電極形成工程を経なくとも低減できる。

請求項2に記載の発明は、第二の電極が載置される第一の電極とは異なる面側が、第一の電極が載置される載置面に対する対向面側である半導体装置であります。

この構成により、第一の電極を通して半導体装置本体の熱が有効に熱伝導性基板に放熱され、第二の電極と第一の電極間のショートやリークが精密な半導体電極形成工程を経なくとも低減できる。さらには、半導体装置に電力を供給する配線が、対向面側となるので配線ショートや配線ロスを低減させるとともに、集積化が容易になる。さらには、第一の電極が複数ある場合には、電極間の距離を狭くすることが可能となる。

20

請求項3に記載の発明は、第一の電極がソース電極又は／及びドレイン電極であり、第二の電極がゲート電極である半導体装置であります。

この構成により、ソース電極又は／及びドレイン電極を通して半導体装置本体の熱が有効に熱伝導性基板に放熱され、ゲート電極とソース電極又は／及びドレイン電極間のショートやリークが精密な半導体電極形成工程を経なくとも低減できる。さらには、半導体装置に電力を供給する配線が、それぞれ異なる面側となるので配線ショートや配線ロスを低減させるとともに、集積化が容易になる。さらには、第一の電極が複数ある場合には、電極間の距離を狭くすることが可能となる。

請求項4に記載の発明は、第二の電極が少なくともパッド層の一部又は全部を除去してなる部位に載置される半導体装置であります。

30

これにより、パッド層に起因するリーク電流や off 電流などのさまざまな影響を低減するとともに、第二の電極の半導体素子への接続特性が良くなるなど素子特性の優れた半導体装置を得ることが可能となります。

請求項5に記載の発明は、第二の電極が載置される部位が凹部である半導体装置であります。

【0007】

これにより、半導体装置の本体厚みを低下させることなく、すなわち半導体装置の機械的強度を低下させることなく、第二の電極を半導体装置に載置できるとともに、凹部の深さや形を適宜調節することにより、理想の素子特性とすることが可能となります。

請求項6に記載の発明は、少なくとも保護膜で覆われたソース電極及び／又はドレイン電極の一部／又は全部が熱伝導性基板上に接着剤を介して接着されている窒化物系半導体材料からなるトランジスタであります。

40

これにより、窒化物系半導体材料からなるトランジスタの発熱を接着面を介して熱伝導性基板に放熱することが可能となり、動作特性や対温度環境に優れた大電力トランジスタとして用いることもできるようになります。

請求項7に記載の発明は、ゲート電極がソース電極又は／及びドレイン電極が載置される載置面とは異なる面側に設けられるトランジスタであります。

これによりゲート電極が他の電極に対し立体的に乖離させることが可能となり、立体配線をすることにより集積化に有利であるとともに、ゲート電極と他の電極との形成処理を異なる面に対して実施するため、電極形成時の損傷を分散させ局部損傷を低減させ得る。さ

50

(5)

JP 2004-319552 A 2004.11.11

らに、空乏層の形成部位がゲート電極側（典型的にはバルクGaN側やサファイア基板側やバッファ層側であり、すなわち典型的にはアンチAs-Grown側）から生じるのでoff電流を低減できる。

請求項8に記載の発明は、ゲート電極が載置されるソース電極又は／及びドレイン電極が載置される載置面とは異なる面側の少なくともその一部が凹部を有すると共に、凹部にゲート電極が載置されているトランジスタであります。

【0008】

動作電圧等の特性に応じて凹部を形成できるので、設計上の自由度が大きくなるとともに、半導体装置本体の厚みに依存せずゲート電極を設けるのに最適な深さ位置に電極を載置することができます。

請求項9に記載の発明は、ゲート電極がバッファ層の少なくとも一部又は全部を除去した部位に載置されるトランジスタであります。

これにより、バッファ層による電氣的悪影響を低減させた、良好な素子特性を有するトランジスタとすることが出来ます。

請求項10に記載の発明は、保護膜が少なくともニオブ酸化膜を含む絶縁膜を含有するところの半導体装置又はトランジスタであります。

この発明により、特に絶縁性の良好なかつ超薄膜で放熱性も良好な保護膜を備えた半導体装置又はトランジスタとすることが出来ます。

【0009】

(電極)

典型的には半導体装置に電子または正孔を供給したり取り出したりするための半導体装置外部との電気信号入出力に関わる連絡経路となる部位である。電極は典型的には半導体本体を形成する半導体材料とは異なる組成から形成され、例えば、Ti、Al、Cu、W、Au、Ag、Mo、Ni、Pt、In、Rh、Ir、Crなど電気を通す素材であれば電極として機能しうる。もちろん、金属材料に限られることはなく導電性を有する導電性プラスチックなどでも良く、機能として導電性を有し半導体装置本体との電気の入出力窓口として働くものであれば、本発明の実施に際し電極材料においては一切限定されるものではない。また、電極は単一元素の材料からなるだけではなく、2層以上の層構造としたり、合金化、共晶化したり混晶としたりとさまざまな形態としても良い（例えばITOなど）。例えば好ましくは、AlGaN系やGaN系へのオーミック電極はTi/Al系電極であり、ショットキー電極はNi/Au系材料からなる電極とすることがそれぞれHEMTの場合の一実施形態の電極として要求されるオーミック特性、ショットキー特性などにおいて良好に機能する上でより好ましい。

【0010】

(半導体装置)

トランジスタ、ダイオード、HEMT、各種メモリなど半導体材料からなり、電気信号の入出力を担う2つ以上の電極を有する半導体機能素子であれば種類を問うものではない。半導体材料とは、III-V族化合物、II-VI族化合物、Ge、Siなど特に種類や形態を限定するものではない。

【0011】

(保護膜)

電極材料や半導体層を腐食やはがれ、傷つきなど内外部からの劣化原因から保護するための膜のことをいう。典型的には絶縁性を有しており、熱伝導性基板との絶縁や電極間、半導体本体との絶縁を確保できる絶縁性材料で構成することもある。保護膜の材料としては、例えばSiO<sub>2</sub>などのSi酸化膜をはじめ、Zr酸化物（典型的にはZrO<sub>2</sub>）以外にも、Ti、V、Nb、Hf、Taなどから選択された少なくとも1種類の元素を含む酸化物、SiN、BN、SiC、AlN等やこれらの混合物、混晶、合金、層状構成等とすることが出来るものであるが、これに限定されることはなく、例えばポリイミドフィルムやフェノール樹脂、ナイロン樹脂、各種ポリマーなどプラスチック性機能材料や生分解性有機膜、その他の無機膜などを用いることもできる。つまり、保護膜とは、機能面から定

(5)

JP 2004-319552 A 2004.11.11

議した言葉であるので、電極材料や半導体層に対してなんらかの保護、性能保持、劣化防止機能、耐環境性、耐腐食性を発現するものはすべてこの範疇に含まれるものである。一実施形態として、絶縁性と耐久性を求めかつ素子特性への悪影響が少ない材料であり、さらには取り扱いの容易さ、経済性などの面からはSiNを用いることが好ましい。SiNを用いると半導体/絶縁膜界面状態が良く、すなわち界面準位が少なくなると推察され、格段に周波数分散が少なくなり特性が良好となる。さらにはニオブ酸化膜からなる絶縁膜を用いると特に窒化物系HEMTにおいて良好な絶縁性を発揮するとともに、2 nm程度の薄膜としても絶縁性が損なわれないので、特に放熱特性に優れた保護膜とすることができ。すなわち、放熱特性を良好にする方策の一つとしては、保護膜を薄くして熱伝導をし易くしてやることが考えられるが、この目的に合致させるべく保護膜を薄くすると、保護膜の絶縁破壊耐電圧が下がり、電流リーク特性が悪化するなど絶縁性が悪くなる傾向が一般的である。この点においてニオブ酸化膜は2 nm程度の超薄膜においてもHEMTの使用耐電圧として十分な絶縁特性を得ることができるので特に好ましい。なお、絶縁膜とは必ずしも導電性が零である膜を指すものではなく、素子機能において良好に期待する性能が得られる程度に抵抗が高ければ十分であり、典型的には半導体層に比して相対的に抵抗率が高い層を絶縁膜とすることができる。また、材料単体では抵抗率やシート抵抗値は小さくても半導体層等、電極等と接触させたときにその組み合わせにおいて電位障壁を形成し（例えば整流作用など）、動作範囲などの所望の電圧に対し電流を流さないような実質的な抵抗機能（または絶縁機能）を有する構成とすることも可能である。この場合においても所望の電圧に対し電流を実質的に流さない絶縁機能を有するという意味合いにおいて、本発明にいうところの絶縁膜とすることができる。

【0012】

(接着剤)

はんだ材や有機・無機系ボンド、銅ペースト、銀ペーストなど材料は特に限定されるものではなく、接着剤の材質や材料、形態、量の多少を問うものではない。半導体装置の保護膜や半導体装置、電極を熱伝導性基板に載置固定できるものであれば良く、接着機能を有していればよい。取り扱いの容易さや素子特性への悪影響の少なさなどから典型的にははんだ材による接着がより好ましい。なお、上記載置固定とは、かならずしも不動状態を意味するものではなく、多少振動や揺動可能なように載置する場合も含むものである。例えば、振動可能なような接着剤としてはゲル状（ジェル状）、ゼリー状の接着剤を用いることもできるものであり、放熱をアシストする揮発系材料等を含有、混合したような接着剤とすることもできる。

【0013】

(熱伝導性基板)

典型的には、Cu/W（通称銅タン）からなる放熱を担う基体のことをいう。基板は、ある程度機械的強度を有する保持力のあるものが好ましいが、フレキシブル基板や形状記憶合金などの柔軟性に富み形状・形態の変化可能な基板を使用することも可能である。熱伝導性基板としては、この他にもAl、Cu、Wなどの金属、AlN、SiC、ダイヤモンド、銅ダイヤモンド、GaN、Si等及びその混晶、合金、混合物などを用いることができるのであり、放熱を担える基体であれば、金属以外でも樹脂類やガラス類など材料組成、形状は限定されない。

【0014】

(接着)

熱伝導性基板への放熱が遮断されない程度に接合していることを指し、間接接着、直接接着を問わない。また、電極全面が接着している必要はなく極一部でも接着していれば良い。ただし、放熱特性をより強力に向上させるためにはできるだけ大きな面積において電極と熱伝導性基板が接着することが望ましい。なお、接着剤を介してとは、電極と保護膜と接着剤と熱伝導性基板の関係において、そのすべてがそろっている必要は無く適材適所であればよいので、すなわち電極と熱伝導性基板の関係において放熱できる程度に接着し、必要に応じて適宜接着剤や保護膜が設けられていれば充分である。また、電極以外の半導

(7)

JP 2004-319552 A 2004.11.11

体装置本体の一部または全部が熱伝導性基板と接着した構造とすることもできる。

【0015】

(第一の電極)

典型的にはソース電極又は／及びドレイン電極のことを指す。バイポーラトランジスタにおいては、典型的にはエミッタ電極又は／コレクタ電極ということになるが、接地形態や使用型式・使用形態等によっては異なるものであり、ゲート電極やベース電極であっても良い。

またトランジスタ以外の半導体機能素子であれば、例えば正極電極、負極電極など他の名称の電極である場合もあるので必ずしも上記に限定されない。電極の一部若しくは全部が、保護膜に覆われかつ電極又は／及び前記保護膜の一部若しくは全部が熱伝導性基板に接  
10 着剤を介して接着されているものは第一の電極となる。

【0016】

(第一の電極とは異なる面側)

本発明においては、第一の電極の少なくとも一部分が熱伝導性基板に接着している。この接着面以外の異なる面側のことを第一の電極とは異なる面側といい、側面、球面、平面など面形状は問わない。接着面と同一面でなければそれで、第一の電極とは異なる面側ということである。

【0017】

(第二の電極)

典型的には、ゲート電極のことをさすが、バイポーラ型トランジスタにおいてはベース電  
20 極でも良く、接地形式や使用型式・使用形態によっては他の電極の場合もありうる。また、トランジスタ以外の半導体機能素子においては、例えば正極や負極など他の電極名称の場合であっても問題はない。第一の電極が載置される面と異なる面側に設けられていることに特徴があるとともに、第一の電極と第二の電極が協働して電子機能素子としての電気信号の入出力を含めた機能を構成するものであれば、すべてこの範疇に含まれる。電極の形は、T字型、I型など特に限定されないが、T字型のゲート電極とすると電極の断面積が増え電極抵抗を低減できるので、動作周波数の高周波の特性向上の上でさらに好ましい。

(第一の電極が載置される載置面に対する対向面側)

典型的には、図4、図5、図6に示すがごとく、サファイア基板側であり、好ましくはサ  
30 ファイア基板や、より好ましくはパツファ層を除去した面であり、さらに好ましくは凹部を有する面側であるが、あくまで典型例であるのでこの典型例に限定されるものではない。また、本発明における半導体装置を設ける基板としてはサファイア基板以外にもGa<sub>2</sub>N<sub>3</sub>系基板、SiC基板、Si基板、GaAs基板、InP基板、GaP基板などIII-V族化合物半導体から、Si、III-V族化合物半導体、Geなどなど半導体装置を形成することが可能な基板であればその材料組成や結晶性、分子原子構造等は一切限定されるものではない。

【0018】

(ソース電極、ドレイン電極、ゲート電極)

典型的にはキャリアを供給（又は放出）するソースとキャリアを吸い込むドレインとその  
40 間に設けられたゲートに加える電圧によって、ソースドレイン間に流れる電流を制御することができるものであり、この機能を担う電極がそれぞれ、ソース電極、ドレイン電極、ゲート電極という。しかし、トランジスタの形態にはバイポーラ型やユニポラ型などさまざまな形態のものが知られており、必ずしも上記に限定されるものではない。例えば、バイポーラ型トランジスタの場合であれば、使用形態時におけるコレクタ、ベース、エミッタの3端子各電極の役割機能により、本発明上のソース電極、ドレイン電極、ゲート電極へとあてはめ適用することが可能である。すなわち、電気信号を増幅するトランジスタの3端子のそれぞれの機能により各電極の名称がソース、ドレイン、ゲートと呼称しているものであるから、本発明においてはコレクタ、ベース、エミッタを有するバイポーラ型  
50 トランジスタに対しても適用できるものであり、呼称に何ら制限されるものではない。よ



(8)

JP 2004-319552 A 2004.11.11

り好ましくは、HEMT（高電子移動度トランジスタ）における、ソース電極、ドレイン電極、ゲート電極であれば動作特性上より好ましい。

【0019】

（バッファ層）

典型的には緩衝層といわれる、2つ以上の結晶性または／及び格子定数の異なる物質の間に設けられ、これらの物質間の物性値の急激な変動を緩和する役目を担う層をバッファ層という。バッファ層としては例えば、GaN層、AlGaIn層、AlIn層、InGaIn層、AlInGaIn層、GaAs層、AlGaAs層、InP層など物質間の物性値の急激な変動を緩和する機能を有する物質であれば、上記材料に限らず、また結晶、非晶質（アモルファス）、多結晶など態様も限定されるものではない。典型的一実施態様としては、<sup>10</sup> GaNからなる低温バッファ層を用いることが窒化物系半導体材料とサファイア基板間のバッファ層による緩衝としてはより好ましいが用いる基板と半導体装置の材料組成や結晶性などによって適宜、選択・使用できるものであり、上記記載により本件発明の実施に際しななら限定されるものではない。

【0020】

（除去してなる部位）

バッファ層を除去された、すなわち厚さにおいてはバッファ層積層時よりも厚さが薄くなった個所のことを指すが、すべてを除去しなくとも一部でも多少なりとも除去している個所であれば良い。

【0021】

（凹部）

典型的には、図4に示すような凹み部を指すが、この典型例に限定されない。また、リセス構造といわれるようなゲート電極形成部を凹部に加工するものでも良い。

【0022】

（保護膜で覆われた）

必ずしも、電極すべてが保護膜で覆われる必要は無い。また均一な保護膜でなくてもよく、保護膜膜厚に場所的差異を有していたり、保護膜材料や保護膜物性に場所による差異を有していても良い。

【0023】

典型的一実施態様の場合においては、SiNをスパッタ等により積層させる保護膜とする<sup>30</sup> とHEMTの物性上好ましい。さらに好ましくは、ニオブ酸化膜を含むニオブ化合物からなる絶縁膜を含有する膜であればよい。Nb<sub>2</sub>O<sub>5</sub>を含むニオブ化合物としては、ニオブ酸（Nb<sub>2</sub>O<sub>5</sub>・nH<sub>2</sub>O）や五酸化ニオブ（Nb<sub>2</sub>O<sub>5</sub>）、しゅう酸水素ニオブ（Nb（HCO<sub>2</sub>）<sub>5</sub>・nH<sub>2</sub>O）、水酸化ニオブ（Nb<sub>2</sub>O<sub>5</sub>・nH<sub>2</sub>O）、ニオブエトキシド（Nb（OC<sub>2</sub>H<sub>5</sub>）<sub>5</sub>）、さらには上記以外にもニオブ酸化膜としてはNbO<sub>2</sub>、NbOなどが知られている。窒化物系HEMTに用いる場合には、その中でも特に、Nb<sub>2</sub>O<sub>5</sub>（水和物を除く）あるいはNbO<sub>2</sub>を用いることが好ましく、薄膜化することが可能であるため放熱性に優れた保護膜とすることができ、大電流高周波パワーHEMTとして駆動することができると考えられる。

また、従来から知られてるSiN<sub>x</sub>系絶縁膜（xは零以上の数値）やSiO<sub>x</sub>（xは零以上<sup>40</sup> の数値）系絶縁膜などと多層膜あるいは混成膜として形成することが可能である。

【0024】

（窒化物系半導体材料）

本発明にいう窒化物系半導体材料とは、典型的には（Al<sub>x</sub>In<sub>y</sub>Ga<sub>1-x-y</sub>N（0 ≤ x ≤ 1、0 ≤ y ≤ 1、0 ≤ x + y ≤ 1））からなる半導体材料のことをいい、多少なりとも（Al<sub>x</sub>In<sub>y</sub>Ga<sub>1-x-y</sub>N（0 ≤ x ≤ 1、0 ≤ y ≤ 1、0 ≤ x + y ≤ 1））を含有する半導体材料もこれに含める。また、この材料においては、混晶や多層膜、ヘテロ構造など半導体装置の構造には一切限定されるものではない。

【0025】

（ソース電極又は／及びドレイン電極が載置される載置面とは異なる面側）

50

(9)

JP 2004-319552 A 2004.11.11

典型例として、図4、図5、図6に示すようにこの図においてはソース電極とドレイン電極が載置される半導体装置の面の裏側、すなわちサファイア基板やバッファ層が設けられていた面側のことであるが、この典型例に限定されるものではない。

【0026】

(トランジスタ)

半導体で作製される増幅器の一般名称であり、1以上の障壁（典型的にはp n接合など）を有し、電気信号を増幅する3端子素子として定義される。トランジスタはキャリアである電子と正孔の双方が動作に関与するバイポーラトランジスタと一方のみが動作を決めるユニポーラトランジスタとが知られている。バイポーラトランジスタは入力電流によって出力電流を制御する電流制御型であるのに対し、ユニポーラトランジスタは入力電圧によって出力電流を制御する電圧制御型の素子である。ユニポーラトランジスタは電解効果型トランジスタと呼ばれ、電極構造により接合ゲート型、MOSFET、に代表される絶縁ゲート型、金属・半導体接合（MES FET）、薄膜構造（TFET）などがある。バイポーラトランジスタは、エミッタ、ベース、コレクタの3端子電極を備えた電流制御型の半導体増幅器であり、電子と正孔の両方が動作に関与している。接合の組み合わせによりPNP型、NPN型また接地形式によりベース接地、エミッタ接地、コレクタ接地などがある。本発明の構成を取るに際しては、トランジスタの種類は上記のみならず限定されるものではない。

【0027】

(該凹部に該ゲート電極が載置)

典型的には図4（c）に示すような凹部を設けた個所にゲート電極が載置されている載置状況をいうが、図4（c）に限定されるものでは決してない。凹部に載置されると、凹部の深さを凹部形成工程などで調節することで、半導体装置、典型的にはHEMTなどトランジスタの制御電圧や制御電流の動作レベルを調節することが可能となり、半導体装置本体の大きさや厚さ、材質等に依存せず動作レベルを凹部深さで設定できるので電子機能素子としてのユーティリティが飛躍的に向上するので好ましい。また、リセス構造とした場合にはトランジスタの寄生抵抗を大幅に低減する効果があり、素子の増幅特性や高周波特性を改善することができる。

【0028】

(バッファ層の少なくとも一部を除去した部位)

バッファ層の全膜厚を除去しても良いし、一部の膜厚を除去してもよい。またバッファ層積層面の一部分のみ除去しても良いし、バッファ層積層面全体にわたって均一、不均一に除去することも可能である。バッファ積層面を多少なりとも除去した部位に電極を設けることにより、バッファ層の悪影響、すなわち典型的にはリーク電流やoff電流などを低減することができるので半導体装置の電気特性の向上が図れ、電極と半導体層との密着、接着程度も向上することが期待される。典型例として図4、図5、図6に示す構造においては、バッファ層を全面的に完全に除去した構造を示しているが、これに限定されるものではない。

【0029】

(ニオブ酸化膜)

一般には $NbO_x$ （ $x$ は零以上の数字）で表現される化合物である。典型例としては $NbO$ 、 $NbO_2$ 、 $Nb_2O_5$ などが知られているが、これらの水和物をはじめとして様々な形態の化合物が存在するので上記に限定されることはない。ニオブ酸化膜を用いた絶縁膜の電流リーク特性について、SiN絶縁膜との比較評価結果の一例を図7に示す。図7は窒化物系半導体層上にSiN薄膜とニオブ酸化薄膜をそれぞれスパッタにより成膜させた場合のリーク電流を各々測定したものであるが図7に示すように、広範な電圧印加範囲にわたってSiN膜に比して良好な絶縁特性を有し、窒化物系半導体（その中でもとりわけAlGaInでさらに好ましくはAl<sub>0.2</sub>Ga<sub>0.8</sub>N）との関係においては特にニオブ酸化膜がSiN膜厚の半分以下の膜厚である超薄膜であるにも関わらずSiNに比して2桁程度電流リークが少なく特に良好な絶縁特性を有していることが理解できる。ちなみに

(10)

JP 2004-319552 A 2004.11.11

図7に示すのは、あくまでニオブ酸化膜の絶縁特性を示す典型例であり、MIS（メタル／絶縁膜／半導体）構造においても、ニオブ酸化膜は良好な絶縁特性を示すことが判明したものであり、HEMTをはじめとする半導体素子の絶縁保護膜として非常に優れている。また、MIM（メタル／絶縁膜／メタル）構造など様々な態様においても同様の優れた絶縁特性を示すと考えている。なお、図7に示すニオブ酸化膜（ $\text{NbO}_x$ 膜）の成膜条件としては典型例として図8に示すようなスパッタ条件により成膜したものであり、この場合どのようなニオブ酸化膜であるかは明確には評価特定されていないが、物性特性によりこの典型例においては、 $\text{Nb}_2\text{O}_5$ 膜（水和物を除く）または $\text{NbO}_2$ 膜である可能性が高いと考えている。

【0030】

10

【実施例】

（実施例）

（結晶成長）

以下、第一の実施例について図4を参照しながら詳細に説明する。結晶成長装置にはMOCVDを用いてサファイア基板上に素子を作製する。まず、MOCVD反応炉内にサファイア基板（C面）46をセットし、サファイア基板（C面）46の基板表面を水素雰囲気中基板温度を1050℃まで上昇させて、水素を流しながら基板のクリーニングをする。つづいて、基板温度を510℃まで下げ、キャリアガスに水素、原料ガスにTMG（トリメチルガリウム）とアンモニアガスを用いて、基板46上にGa<sub>2</sub>Nよりなるバッファ層45を約200Åの膜厚で成長させる。バッファ層45を成長後引き続いて、TMG（トリメチルガリウム）のみ止めて、基板温度を1050℃まで上昇させる。基板温度が1050℃になったら、同じく原料ガスにTMG、アンモニアガスを用い、アンドープGa<sub>2</sub>N層44を3μmの膜厚で成長させる。次に、基板温度1050℃で、原料ガスにTMG、TMA（トリメチルアルミニウム）、アンモニアガスとを用い、Al<sub>0.15</sub>Ga<sub>0.85</sub>NよりなるアンドープAlGa<sub>2</sub>N層43を50Åの膜厚で成長させる。つづいて、基板温度1050℃で原料ガスにTMG、TMA、アンモニアガスを用い、不純物ガスにシランガスを用い、Siを $2 \times 10^{18} / \text{cm}^3$ ドープしたAl<sub>0.15</sub>Ga<sub>0.85</sub>Nよりなるn型AlGa<sub>2</sub>N層43を約100Åの膜厚で成長させる。このSiドープn型Al<sub>0.15</sub>Ga<sub>0.85</sub>N層43がキャリア供給層となると考えられる。反応終了後、温度を室温まで下げウェーハを反応容器から取り出す。

20

30

【0031】

（フォトリソ工程）

まず素子形成領域以外の部分を絶縁するために、 $\text{SiO}_2$ をプラズマCVD装置を用いて全面に約0.5μmの膜厚で成膜する。ついで、スピンコートを用いてレジストを塗布した後、パターン露光してレジストのパターニングを施します。その後CF<sub>4</sub>ガスを用いてRIE装置にて $\text{SiO}_2$ を所定の形状にエッチングし、 $\text{SiO}_2$ マスクを形成する。次に $\text{SiO}_2$ をマスクにして、プラズマRIE装置を用いて素子分離としてAlGa<sub>2</sub>N層とGa<sub>2</sub>N層すべてをエッチングするために、Cl<sub>2</sub>雰囲気にて圧力を16Paに保ち、出力320Wで260秒間エッチングする。ソース・ドレイン電極としてTi/Alをマグネトロンスパッタ装置を用いてAr雰囲気中において、0.5Paに設定し、300WでTiを100Å、500WでAlを3000Åスパッタし電極形成する。その後、リフトオフし、窒素ガス雰囲気中で600℃にて10分間アニールを実施する。次に、全面に絶縁膜と接着材料をつける。（図4（a））絶縁膜はソース・ドレイン電極がショートしてしまうのを防ぐためであり、そのままでは貼り合わせ基板とそれに対する接着材料（本実施例ではメタル）が導電性を有するものである。絶縁膜はSiNでECRスパッタ装置でArガスを20sccm及びN<sub>2</sub>ガスを5sccmで流しながら300WにてSiをとばしてSiN成膜した。ついで、接着材料としてはTi/Pt/Au/Sn/Auをスパッタする。次に高熱伝導性基板としてCu/WにTi/Pt/Pdを接着剤としてスパッタしたものを使用し、両接着剤の接着面を押し付けて加熱することにより接着すると共に、エキシマレーザでサファイア基板を剥離し、剥離面を研磨する。（図4（b））その後上述の

40

50

(11)

JP 2004-319552 A 2004.11.11

ようなレジストマスクでICPエッチング装置を用いてC1<sub>2</sub>ガスにてを実施し、ソース・ドレイン電極を露出させる。さらにゲート部分をレジストマスクで同様にC1<sub>2</sub>ガスを用いてICPエッチングにより掘削する。(図4(c))これにより、ゲートから2DESまでの距離が縮まりゲートバイアスが利きやすくなる。ついで、Ni/Auをマグネトロンスパッタ装置を用いてAr雰囲気中にて圧力0.12Paに保ち、出力300WでNiを1000Å成膜後、出力200WでAuを1500Å成膜する。続いて、アセトンに浸漬しレジスト剥離リフトオフした後、水洗する。Niショットキー電極をゲート電極とする。(図4(d))

(パッケージング)

デバイス工程が終了した後、チップをパッケージに実装する。なおワイヤ線張る場合はワイヤボンダを使用する。

【0032】

(第二の実施形態)

図5に示すように熱伝導性基板に電極を貫通させ、ビア構造とすることも可能である。デバイス工程における張り合わせ前に、熱伝導性基板に穴を開け、そこに金属を充填します。その他は実施例1と同じです。また、本実施例に限らずHEMTの電子供給層(典型的にはn型AlGaIn)は2.5nm程度以下と薄くすることにより、電子の到達時間が早まりアスペクト比の増大や短チャネル効果の抑制、漏れ電流の抑制など高速動作により適した構造とすることも可能である。

【0033】

(第三の実施形態)

図6に示すように、ゲート電極設置個所に凹部を形成することなくゲート電極を載置する以外は、実施例1と同様にして作製した。これにより、良好なHEMT駆動特性が観察されたが、実施例1に比してややゲートバイアス特性が高めにシフトする傾向が観察された。

【0034】

また熱伝導性基板の裏面電極については、回り込みメタライズで高熱伝導性基板の側面に金属電極を成膜し、HEMTとの導通を確保する方法でも良いが、これらの実施例は、あくまで実施の形態を例示するものであって、本発明を限定するものでは決していない。本実施例においては、熱伝導性基板の半導体素子接合面側には配線が施されていない構造としている。これにより、半導体素子と熱伝導性基板との接合、接着時に精密なアライメントをする必要がなくなり、作業性に優れるとともに取率が向上し、素子特性も安定させることができる。また、半導体素子への電気的接続はワイヤ線を通じて行うようにすると、トランジスタから配線される基板の電極位置や形状が自由に設計できるようになるとともに、電極からもワイヤ線を通じて放熱させることができ、また、ワイヤ線の長さでインダクタンス成分を調整でき、整合をとることができるので好ましい。

【0035】

さらに、熱伝導性基板の裏側、すなわち半導体素子接着側の反対側に配線すると、基板の配線可能な面積が増え設計自由度が向上するとともに、ワイヤレスであればゲート側にも別途熱伝導性基板を設けることができ放熱特性が向上するとともに、ワイヤボンディングのためのパッドが不要となり小型化に適する。またワイヤによるインダクタンス成分及びワイヤ間や半導体素子本体間とのキャパシタンス成分を低減できるメリットもある。

【0036】

また、本発明によれば熱伝導性基板と半導体素子との間に保護膜を介して接着しているが、これにより半導体素子の表面準位をパッシベーションでき、電気特性を悪化させずむしろ向上させることができ、保護膜はSiNを用いるとより好ましい。さらには、電極と熱伝導性基板との距離を例えばSiO<sub>2</sub>やSiN保護膜の厚みで制御できるので、できる限り薄くすることにより放熱特性の向上を図ることが可能となる。ここで、上記薄くして放熱特性を向上させる意味からは、ニオブ酸化膜を含む絶縁膜は絶縁性が非常に良好で例えばHEMTのドレイン電極、ソース電極に対してはニオブ酸化膜を含む絶縁性膜厚は2nm

(12)

JP 2004-319552 A 2004.11.11

m程度でも十分な絶縁機能を発揮するので特に好ましい。加えて表面パッシベーションの良好なSiNを半導体素子側に保護膜として用い、絶縁性の良好なニオブ酸化膜を含む絶縁性膜を熱伝導性基板側に保護膜として用いる2層構造とすることにより薄膜化とパッシベーション、絶縁化を高いレベルで両立でき非常に好ましい。

【0037】

【本発明の効果】

本件発明により、大電力電子機能素子においても大電力に起因する発熱問題に影響されず、良好な素子特性を安定確保でき、熱による素子寿命の劣化や誤作動も防止し、さらにはoff電流の低減などゲートバイアス電気特性の非常に良好なHEMTを作製することが可能となる。

10

【図面の簡単な説明】

【図1】 フリップチップ方式GaAs系HEMT従来断面図

1・・・半導体基板、2・・・アセンブリ基板、3・・・伝送線路用（又はHEMT用）グラウンドパターン、4・・・微小な突起状パンプ電極、5・・・HEMT、6a・・・線路、6b・・・グラウンドパターン、6c・・・アセンブリ基板の信号線、7・・・MIMキャパシタ、14・・・伝送線路用信号線、15・・・ブリッジ、16・・・HEMT用バイアス回路

【図2】 (a) 従来のGaAs系フリップチップ型HEMTの信号線部分の断面図

(b) 従来の半導体基板のGaAs系HEMT形成面における平面図

【図3】 従来のGaN系HEMT構造模式図

20

【図4】 本発明の第一の一実施態様に関わる窒化物系半導体HEMT作製の模式図

41・・・ソース電極及びドレイン電極、42・・・保護膜、43・・・AlGaN層、44・・・バルクGaN層（チャネル層含む）、45・・・パッファ層、46・・・サファイア基板、47・・・高熱伝導性基板、48・・・ゲート電極、49・・・電極配線ワイヤ

【図5】 本発明の第二の一実施態様に関わる窒化物HEMTの模式構造図

【図6】 本発明の第三の一実施態様に関わる窒化物HEMTの模式構造図

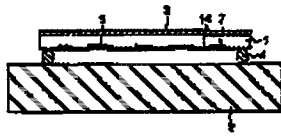
【図7】 SiN膜とニオブ酸化膜との電流リーク特性の典型的比較例

【図8】 ニオブ酸化膜成膜条件の一例

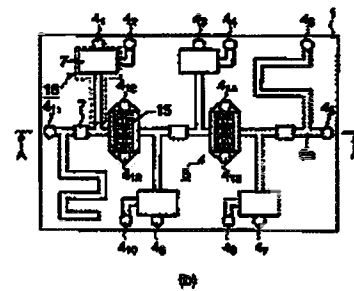
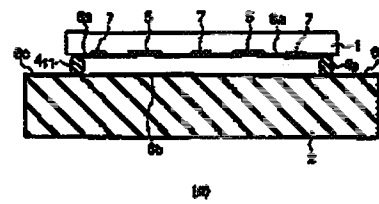
(13)

JP 2004-319552 A 2004.11.11

【図 1】



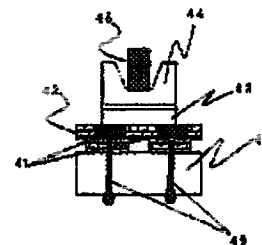
【図 2】



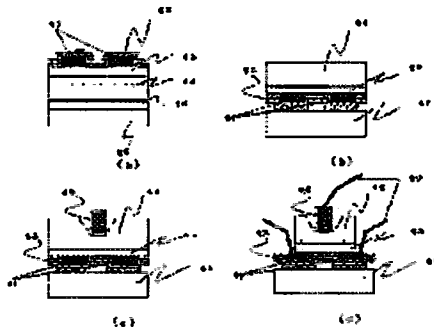
【図 3】



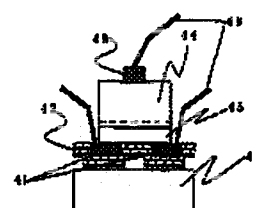
【図 5】



【図 4】



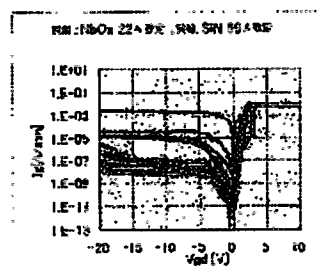
【図 6】



(14)

JP 2004-319552 A 2004.11.11

【図 7】



【図 8】

NbO <sub>x</sub> 条件	EGR スパッタSODOW
	ターゲット: Nb
	Ar: Tiscan
	O <sub>2</sub> : Iiscom
	時間 2分40秒

(15)

JP 2004-319552 A 2004.11.11

---

フロントページの続き

Fターム(参考) 5F102 FA00 GA16 GA18 GB01 GC01 GD01 GJ05 GJ10 GK04 QL04  
GM04 QG01 GR04 GT03 GV03 GV05 GV07 GV08 HC01 HC21



JP 2004-319552 A5 2006.6.1

【公報種別】 特許法第17条の2の規定による補正の掲載  
 【部門区分】 第7部門第2区分  
 【発行日】 平成18年6月1日(2006.6.1)

【公開番号】 特開2004-319552(P2004-319552A)  
 【公開日】 平成16年11月11日(2004.11.11)  
 【年通号数】 公開・登録公報2004-044  
 【出願番号】 特願2003-107259(P2003-107259)  
 【国際特許分類】

H 0 1 L 29/812 (2006.01)  
 H 0 1 L 21/338 (2006.01)  
 H 0 1 L 23/34 (2006.01)  
 H 0 1 L 29/778 (2006.01)

【F I】

H 0 1 L 29/80 G  
 H 0 1 L 23/34 A  
 H 0 1 L 29/80 H

【手続補正書】  
 【提出日】 平成18年4月10日(2006.4.10)  
 【手続補正1】  
 【補正対象書類名】 明細書  
 【補正対象項目名】 発明の名称  
 【補正方法】 変更  
 【補正の内容】  
 【発明の名称】 半導体装置及びその製造方法  
 【手続補正2】  
 【補正対象書類名】 明細書  
 【補正対象項目名】 特許請求の範囲  
 【補正方法】 変更  
 【補正の内容】  
 【特許請求の範囲】  
 【請求項1】

半導体と、

前記半導体のAs-Grown側に設けられる第一の電極と、

前記半導体の第一の電極が設けられる面に対向する面側に設けられ、前記半導体から露出している第二の電極と、を備える半導体素子を有し、

前記第一の電極は、その一部が前記半導体から露出している半導体装置。

【請求項2】

前記第一の電極は、少なくとも一部が絶縁性の保護膜で覆われ、接着剤を介して貼り合わせ基板に接着される請求項1記載の半導体装置。

【請求項3】

半導体と、第一の電極と、第二の電極と、を備える半導体素子と、

前記半導体と接着剤を介して接着される貼り合わせ基板と、を有し、

前記第一の電極は、少なくとも一部が絶縁性の保護膜で覆われ、前記半導体の前記貼り合わせ基板接着面側に設けられると共に、その一部が前記半導体から露出しており、

前記第二の電極は、前記半導体の貼り合わせ基板接着面に対向する面側に設けられる半導体装置。

【請求項4】

前記貼り合わせ基板は熱伝導性基板である請求項2又は請求項3記載の半導体装置。

(2)

JP 2004-319552 A5 2006.6.1

## 【請求項 5】

前記半導体素子はH E M T構造を有し、前記第一の電極はソース電極又は／及びドレイン電極であり、前記第二の電極はゲート電極である請求項 1 乃至請求項 4 のいずれかに記載の半導体装置。

## 【請求項 6】

前記半導体素子はH E M T構造を有し、前記第一の電極はゲート電極であり、前記第二の電極はソース電極又は／及びドレイン電極である請求項 1 乃至請求項 4 のいずれかに記載の半導体装置。

## 【請求項 7】

基板上に、窒化物系半導体材料からなる半導体を形成する工程と、  
前記半導体上に第一の電極を形成する工程と、  
前記半導体の第一の電極形成側を、接着剤を介して貼り合わせ基板に接着する工程と、  
前記半導体が形成された基板を除去する工程と、  
前記半導体の一部を除去し、前記第一の電極の一部を露出させる工程と、を有する半導体装置の製造方法。

## 【請求項 8】

前記半導体は、リーク電流領域を有し、  
前記基板を除去する工程の後に、前記半導体の一部を除去することで前記リーク電流領域の少なくとも一部を除去する工程と、  
前記半導体の前記除去した部位に第二の電極を形成する工程と、を更に有する請求項 7 記載の半導体装置の製造方法。

## 【請求項 9】

前記半導体を形成する工程において形成される半導体は、パッファ層を有し、  
前記リーク電流領域は前記パッファ層を含む請求項 8 記載の半導体装置の製造方法。

## 【請求項 10】

前記リーク電流領域を除去する工程において、凹部をなすように前記半導体を除去し、  
前記第二の電極を形成する工程において、前記凹部に前記第二の電極を形成する請求項 8 又は請求項 9 記載の半導体装置の製造方法。

## 【請求項 11】

前記貼り合わせ基板は熱伝導性基板である請求項 7 乃至請求項 10 のいずれかに記載の半導体装置の製造方法。

## 【請求項 12】

前記半導体装置は、前記半導体と、前記第一の電極と、前記第二の電極と、を備える半導体素子を有し、  
前記半導体素子はH E M T構造を有し、前記第一の電極がソース電極又は／及びドレイン電極であり、前記第二の電極はゲート電極である請求項 8 乃至請求項 11 のいずれかに記載の半導体装置の製造方法。

## 【手続補正 3】

【補正対象書類名】明細書

【補正対象項目名】0005

【補正方法】変更

【補正の内容】

【0005】

【特許文献 1】特開 2002-110737

【特許文献 2】特開平 6-302857

【特許文献 3】特開平 9-8403

【特許文献 4】特開平 10-117016

【特許文献 5】特開平 11-68157

【特許文献 6】特開 2000-174285

【特許文献 7】特開 2001-168111

(3)

JP 2004-319552 A5 2006.6.1

【特許文献8】特開2001-223386

【特許文献9】特開2001-313422

【特許文献10】WO01/082384

【非特許文献1】Applied Physics Letters Vol. 77 No. 18 (2000) p. 2822-2824

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0006

【補正方法】変更

【補正の内容】

【0006】

【課題を解決するための手段】

本発明の第1の側面に係る半導体装置は、半導体と、半導体のAs-Grown側に設けられる第一の電極と、半導体の第一の電極が設けられる面に対向する面側に設けられ、半導体から露出している第二の電極と、を備える半導体素子を有し、第一の電極は、その一部が半導体から露出している。

本発明の第2の側面に係る半導体装置は、さらに、第一の電極は、少なくとも一部が絶縁性の保護膜で覆われ、接着剤を介して貼り合わせ基板に接着される。

本発明の第3の側面に係る半導体装置は、半導体と、第一の電極と、第二の電極と、を備える半導体素子と、半導体と接着剤を介して接着される貼り合わせ基板と、を有し、第一の電極は、少なくとも一部が絶縁性の保護膜で覆われ、半導体の貼り合わせ基板接着面側に設けられると共に、その一部が半導体から露出しており、第二の電極は、半導体の貼り合わせ基板接着面に対向する面側に設けられる。

本発明の第4の側面に係る半導体装置は、さらに、貼り合わせ基板は熱伝導性基板である。

本発明の第5の側面に係る半導体装置は、さらに、半導体素子はHEMT構造を有し、第一の電極はソース電極又はノードドレイン電極であり、第二の電極はゲート電極である。

本発明の第6の側面に係る半導体装置は、さらに、半導体素子はHEMT構造を有し、第一の電極はゲート電極であり、第二の電極はソース電極又はノードドレイン電極である。

本発明の第7の側面に係る半導体装置の製造方法は、基板上に、窒化物系半導体材料からなる半導体を形成する工程と、半導体上に第一の電極を形成する工程と、半導体の第一の電極形成側を、接着剤を介して貼り合わせ基板に接着する工程と、半導体が形成された基板を除去する工程と、半導体の一部を除去し、第一の電極の一部を露出させる工程と、を有する。

本発明の第8の側面に係る半導体装置の製造方法は、さらに、半導体は、リーク電流領域を有し、基板を除去する工程の後に、半導体の一部を除去することでリーク電流領域の少なくとも一部を除去する工程と、半導体の除去した部位に第二の電極を形成する工程と、を更に有する。

本発明の第9の側面に係る半導体装置の製造方法は、さらに、半導体を形成する工程において形成される半導体は、バッファ層を有し、リーク電流領域はバッファ層を含む。

本発明の第10の側面に係る半導体装置の製造方法は、さらに、リーク電流領域を除去する工程において、凹部をなすように半導体を除去し、第二の電極を形成する工程において、凹部に第二の電極を形成する。

本発明の第11の側面に係る半導体装置の製造方法は、さらに、貼り合わせ基板は熱伝導性基板である。

本発明の第12の側面に係る半導体装置の製造方法は、さらに、半導体装置は、半導体と、第一の電極と、第二の電極と、を備える半導体素子を有し、半導体素子はHEMT構造を有し、第一の電極がソース電極又はノードドレイン電極であり、第二の電極はゲート電極である。

本発明のその他の実施形態に係る半導体装置は、少なくとも2つ以上の電極を有する半導体装置において、保護膜で覆われ接着剤を介して熱伝導性基板に接着される1つ以上の第

(4)

JP 2004-319552 A5 2006.6.1

一の電極と、該第一の電極とは異なる面側に載置された第二の電極を有する半導体装置である。

この構成により、第一の電極を通して半導体装置本体の熱が有効に熱伝導性基板に放熱され、第二の電極と第一の電極間のショートやリークが精密な半導体電極形成工程を経なくとも低減できる。

本発明の別の実施形態に係る半導体装置は、第二の電極が載置される第一の電極とは異なる面側が、第一の電極が載置される載置面に対する対向面側である半導体装置であります。

この構成により、第一の電極を通して半導体装置本体の熱が有効に熱伝導性基板に放熱され、第二の電極と第一の電極間のショートやリークが精密な半導体電極形成工程を経なくとも低減できる。さらには、半導体装置に電力を供給する配線が、対向面側となるので配線ショートや配線ロスを低減させるとともに、集積化が容易になる。さらには、第一の電極が複数ある場合には、電極間の距離を狭くすることが可能となる。

本発明の別の実施形態に係る半導体装置は、第一の電極がソース電極又はノード及びドレイン電極であり、第二の電極がゲート電極である半導体装置であります。

この構成により、ソース電極又はノード及びドレイン電極を通して半導体装置本体の熱が有効に熱伝導性基板に放熱され、ゲート電極とソース電極又はノード及びドレイン電極間のショートやリークが精密な半導体電極形成工程を経なくとも低減できる。さらには、半導体装置に電力を供給する配線が、それぞれ異なる面側となるので配線ショートや配線ロスを低減させるとともに、集積化が容易になる。さらには、第一の電極が複数ある場合には、電極間の距離を狭くすることが可能となる。

本発明の別の実施形態に係る半導体装置は、第二の電極が少なくともバッファ層の一部又は全部を除去してなる部位に載置される半導体装置であります。

これにより、バッファ層に起因するリーク電流やoff電流などのさまざまな影響を低減するとともに、第二の電極の半導体素子への接続特性が良くなるなど素子特性の優れた半導体装置を得ることが可能となります。

本発明の別の実施形態に係る半導体装置は、第二の電極が載置される部位が凹部である半導体装置であります。

【手続補正5】

【補正対象書類名】明細書

【補正対象項目名】0007

【補正方法】変更

【補正の内容】

【0007】

これにより、半導体装置の本体厚みを低下させることなく、すなわち半導体装置の機械的強度を低下させることなく、第二の電極を半導体装置に載置できるとともに、凹部の深さや形を適宜調節することにより、理想の素子特性とすることが可能となります。

本発明のその他の実施形態に係るトランジスタは、少なくとも保護膜で覆われたソース電極及びノード又はドレイン電極の一部又は全部が熱伝導性基板上に接着剤を介して接着されている窒化物系半導体材料からなるトランジスタであります。

これにより、窒化物系半導体材料からなるトランジスタの発熱を接着面を介して熱伝導性基板に放熱することが可能となり、動作特性や対温度環境に優れた大電力トランジスタとして用いることもできるようになります。

本発明の別の実施形態に係るトランジスタは、ゲート電極がソース電極又はノード及びドレイン電極が載置される載置面とは異なる面側に設けられるトランジスタであります。

これによりゲート電極が他の電極に対し立体的に垂離させることが可能となり、立体配線を行うことにより集積化に有利であるとともに、ゲート電極と他の電極との形成処理を異なる面に対して実施するため、電極形成時の損傷を分散させ局部損傷を低減させ得る。さらに、空乏層の形成部位がゲート電極側（典型的にはバルクGaN側やサファイア基板側やバッファ層側であり、すなわち典型的にはアンチAs-Grown側）から生じるのでoff電流

(5)

JP 2004-319552 A5 2006.6.1

を低減できる。

本発明の別の実施形態に係るトランジスタは、ゲート電極が載置されるソース電極又は／及びドレイン電極が載置される載置面とは異なる面側の少なくともその一部が凹部を有すると共に、凹部にゲート電極が載置されているトランジスタであります。

【手続補正6】

【補正対象書類名】明細書

【補正対象項目名】0008

【補正方法】変更

【補正の内容】

【0008】

動作電圧等の特性に応じて凹部を形成できるので、設計上の自由度が大きくなるとともに、半導体装置本体の厚みに依存せずゲート電極を設けるのに最適な深さ位置に電極を載置することができます。

本発明の別の実施形態に係るトランジスタは、ゲート電極がパツファ層の少なくとも一部又は全部を除去した部位に載置されるトランジスタであります。

これにより、パツファ層による電気的悪影響を低減させた、良好な素子特性を有するトランジスタとすることができます。

本発明の別の実施形態に係る半導体装置又はトランジスタは、保護膜が少なくともニオブ酸化膜を含む絶縁膜を含有するところの半導体装置又はトランジスタであります。

この発明により、特に絶縁性の良好なかつ超薄膜で放熱性も良好な保護膜を備えた半導体装置又はトランジスタとすることができます。

【手続補正7】

【補正対象書類名】明細書

【補正対象項目名】0009

【補正方法】変更

【補正の内容】

【0009】

【発明の実施の形態】

(電極)

典型的には半導体装置に電子または正孔を供給したり取り出したりするための半導体装置外部との電気信号入出力に関わる連絡経路となる部位である。電極は典型的には半導体本体を形成する半導体材料とは異なる組成から形成され、例えば、Ti、Al、Cu、W、Au、Ag、Mo、Ni、Pt、In、Rh、Ir、Crなど電気を通す素材であれば電極として機能しうる。もちろん、金属材料に限られることなく導電性を有する導電性プラスチックなどでも良く、機能として導電性を有し半導体装置本体との電気の入出力窓口として働くものであれば、本発明の実施に際し電極材料においては一切限定されるものではない。また、電極は単一元素の材料からなるだけでなく、2層以上の層構造としたり、合金化、共晶化したり混品としたりとさまざまな形態としても良い(例えばITOなど)。例えば好ましくは、AlGa<sub>N</sub>系やGa<sub>N</sub>系へのオーミック電極はTi/Al系電極であり、ショットキー電極はNi/Au系材料からなる電極とすることがそれぞれHEMTの場合の一実施形態の電極として要求されるオーミック特性、ショットキー特性などにおいて良好に機能する上でより好ましい。